

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-097217

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

H01L 21/321  
H01L 21/3205  
H01L 27/04  
H01L 21/822

(21)Application number : 06-226807

(71)Applicant : SHARP CORP

(22)Date of filing : 21.09.1994

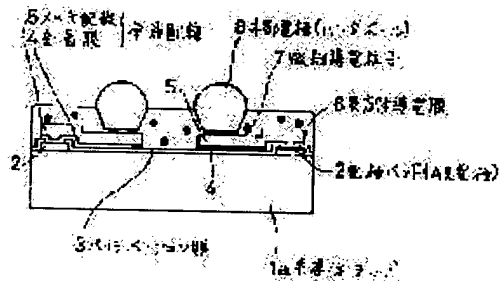
(72)Inventor : MORI KATSUNOBU

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device and its manufacturing method wherein the increase of size of a package itself is restrained and heat radiation property or the like is improved.

CONSTITUTION: A semiconductor chip 1a has a plurality of electrode pads 2. Metal wirings 4, 5 connected with the electrode pads 2 by desired patterns are formed on the chips 1a. An anisotropic conductive film 6 containing fine conductive particles is laminated on the whole surfaces of the metal wirings 4, 5. Recessed parts are formed on the anisotropic conductive film 6 in desired parts on the metal wirings 4, 5. Outer electrodes 8 are made to stick to the recessed parts. The metal wirings 4, 5 are connected with the outer electrodes 8 via fine conductive particles 7 in the anisotropic conductive film 6.



## LEGAL STATUS

[Date of request for examination]

03.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3142723

[Date of registration] 22.12.2000

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

特開平 8 - 9 7 2 1 7

(43) 公開日 平成8年(1996)4月12日

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O I L 21/321

21/3205

27/04

9169-4M

H O I L 21/92 6 0 3 G

21/88 T

審査請求 未請求 請求項の数 2

O L

(全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-226807

(22) 出願日 平成6年(1994)9月21日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 森 勝信

大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内

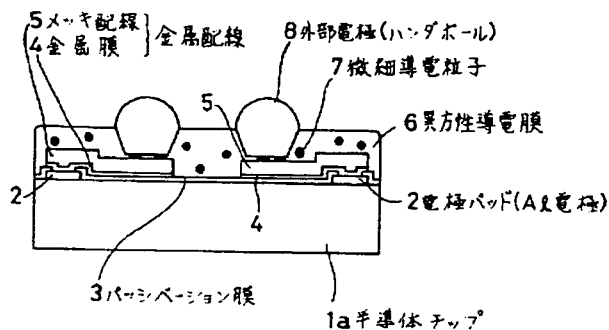
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 パッケージ自体のサイズの増大を抑制し、放熱性等を改善した半導体装置及びその製造方法を提供することを目的としている。

【構成】 複数の電極パッドを持つ半導体チップ上に、所望のパターンで電極パッドに接続した金属配線が形成され、さらに、該金属配線上全面に、微細導電粒子を含んでなる異方性導電膜が積層されており、前記金属配線上の所望の部分の異方性導電膜に凹部が形成され、該凹部に外部電極が密着されて前記金属配線と外部電極とが異方性導電膜中の微細導電粒子を介して接続されて構成される半導体装置。



## 【特許請求の範囲】

【請求項1】 複数の電極パッドを有する半導体チップ上に、所望のパターンで電極パッドと接続する金属配線が形成され、さらに、該金属配線上全面に、微細導電粒子を含んでなる異方性導電膜が積層されており、前記金属配線上の所望の部分の異方性導電膜に凹部が形成され、該凹部に外部電極が密着されて前記金属配線と外部電極とが異方性導電膜中の微細導電粒子を介して接続されて構成されることを特徴とする半導体装置。

【請求項2】 (i) 半導体基板上に電極パッドと接続し、所望のパターンを有する金属配線を形成し、(ii) さらに、前記金属配線上全面に、微細導電粒子を含んでなる異方性導電膜を積層させ、(iii) 前記異方性導電膜の金属配線上の所望の部分を押圧して、該異方性導電膜に凹部を形成し、(iv) 前記凹部に外部電極を密着させて、該外部電極と前記金属配線とを、異方性導電膜中の微細導電粒子を介して接続させることからなる半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関し、より詳細には半導体装置におけるパッケージ及びその製造方法に関する。

## 【0002】

【従来の技術】 従来より利用されている表面実装型パッケージであるSMD(Surface Mount Device)を、図面に基づいて説明する。図14に示した半導体装置は、定形型のモールドパッケージであるQFP(Quad Flat Package)であり、パッケージ側面から見た外部端子であるアウターリードを、実装基板などへハンダによって実装するものである。つまり、このようなQFPにおいては、半導体チップ21が、アウターリード24と同一金属フレーム上に作製されたアイランド20に、ダイボンディング用のエポキシ導電ペーストを用いて固定されている。固定された半導体チップ21表面の電極パッド23は、Auなどで代表される金属ワイヤー22を用いてアウターリード24につながるインナーリード24aと接続され、さらに、これら半導体チップ21、インナーリード24a及び金属ワイヤー22は、樹脂25により封止されて構成されている。また、図15に示した半導体装置は、BGA(Ball Grid Array)である。これは、アウターリードピッチが0.3~0.5mmと微細なピッチである多ピンQFPのアウターリードピッチを広く拡大することを可能にするパッケージであり、外部端子として、パッケージ底面全体にハンダボールを配置している。つまり、BGAパッケージにおいては、樹脂基板34上に、半導体チップ31を、ダイボンディング用のエポキシ導電ペーストを用いて固定する。この樹脂基板34は、その表面及び裏面に配線層38及び39がそれぞれ形成されており、この表面配線層38と裏面配線層3

9とは、スルホール電極36によって接続されている。また、半導体チップ31表面には、電極パッド33が形成されており、この電極パッド33は、金属ワイヤー32を用いて、樹脂基板34上の表面配線層38と接続されている。裏面配線層39には、所望の位置に外部電極としてハンダボール37が形成されており、これら半導体チップ31は、モールド又はポッティングなどによって樹脂35で封止されている。これによって、半導体チップ31表面の電極パッド33は、金属ワイヤー32、表面配線層38、スルホール電極36、裏面配線層39を介して外部電極と接続されることとなる。

## 【0003】

【発明が解決しようとする課題】 上記QFPやBGAなどのパッケージでは、半導体チップの電極から外部への出力をワイヤーボンドで行うために、例えば、半導体チップに形成された電極パッドとアウターリードとの間隔を確保する必要があるため、パッケージのサイズが半導体チップよりも大きくなる。また、半導体チップの周辺部に電極パッドを形成する必要があるため、半導体チップ自体のサイズも大きくならざるを得ないという課題があった。また、BGAパッケージにおいては、樹脂基板を用いることでモールド樹脂のみによる封止に比べても放熱性に劣るとともに、半導体チップを搭載している樹脂基板面のみを樹脂で封止するため、樹脂基板が反るといふ課題があった。本発明は上記課題に鑑みなされたものであり、パッケージ自体のサイズの増大を抑制し、放熱性等を改善した半導体装置及びその製造方法を提供することを目的としている。

## 【0004】

【課題を解決するための手段】 本発明によれば、複数の電極パッドを有する半導体チップ上に、所望のパターンで電極パッドと接続する金属配線が形成され、さらに、該金属配線上全面に、微細導電粒子を含んでなる異方性導電膜が積層されており、前記金属配線上の所望の部分の異方性導電膜に凹部が形成され、該凹部に外部電極が密着されて前記金属配線と外部電極とが異方性導電膜中の微細導電粒子を介して接続されて構成される半導体装置が提供される。

【0005】 また、(i) 半導体基板上に電極パッドと接続し、所望のパターンを有する金属配線を形成し、(ii) さらに、前記金属配線上全面に、微細導電粒子を含んでなる異方性導電膜を積層させ、(iii) 前記異方性導電膜の金属配線上の所望の部分を押圧して、該異方性導電膜に凹部を形成し、(iv) 前記凹部に外部電極を密着させて、該外部電極と前記金属配線とを、異方性導電膜中の微細導電粒子を介して接続させることからなる半導体装置の製造方法が提供される。

【0006】 本発明において用いる半導体チップは、半導体ウェハ、例えばシリコンウェハ上に、トランジスタやキャパシタ等の所望の半導体素子、及び層間絶縁膜等

が形成されたものであり、このように半導体素子が形成されたウェハを切断してチップ状としたものも含む。

【0007】半導体チップ上に形成された電極パッドは、アルミニウム等が代表的で、その膜厚は、1000 Å～2000 Å程度が好ましく、形状及び大きさは、形成する半導体装置の大きさ等により適宜調節することができる。このような電極パッドは、公知の方法、例えばフォトリソグラフィ及びエッチング技術により、所望の形状にパターンニングすることができる。

【0008】また、本発明においては、電極パッド上に開口を有するパッシベーション膜を半導体チップ上に形成してもよい。パッシベーション膜は、SiO<sub>2</sub>、SiN、PSG及びこれらの積層膜により、公知の方法、例えばCVD法等により形成することができる。この際の膜厚は、特に限定されるものではない。

【0009】さらに、金属配線としては、バリアメタルとその上に形成するメッキ金属との密着用金属膜、さらにメッキ金属の積層膜で形成されるのが好ましいが、電極パッドと密着性がよい膜であればメッキ金属の単層膜でもよい。バリアメタルとしては、TiW、TiN、Ti等を形成したのち、メッキ金属との密着用金属膜としてAu、Pt等を形成する。この上に、メッキ配線を積層する場合には、公知のメッキ方法、例えば、所望の電極材料を含有するメッキ液を用いることにより形成することができる。このような金属配線は、公知の方法、例えば、適当なエッチャントを選択することにより所望の形状にパターンニングすることができる。具体例としては、Auを用いた場合にはI<sub>2</sub>+KI、TiWを用いた場合にはH<sub>2</sub>O<sub>2</sub>を用いてエッチングすることができる。金属配線は、異方性導電膜に凹部を形成する際の押圧に対して金属配線下へのダメージを緩和することが可能となる。そのためには低弾性の金属を使用するが、Auを10 μm以上で形成することが好ましい。

【0010】なお、上記膜を半導体チップを形成した半導体ウェハ上に形成したのち、金属配線を構成する膜の膜応力を緩和するため及びパッシベーション膜と金属膜との密着性を向上する目的で、熱処理を行ってもよい。この際の熱処理は、約300℃、30～60分間程度、窒素雰囲気中又は大気中で行うことが好ましい。

【0011】また、本発明における金属配線上全面に積層する異方性導電膜として、熱硬化性樹脂に微細導電粒子（直径2～15 μm程度）を混在させたものを使用することができる。熱硬化性樹脂としては、例えば、エポキシ樹脂、フェノール樹脂、尿素樹脂、メラミン樹脂、ポリエステル樹脂、シリコーン樹脂等を挙げることができるが、なかでも、エポキシ樹脂を用いることが好ましい。また、微細導電粒子としては、例えば、プラスチックボールにAu/Niメッキしたもの、Ni粒子、Pb/Sn粒子等を使用することができる。このような異方性導電膜は、シート状のものを用いることが好ましく、

例えば、半導体素子及び各種膜が形成された半導体チップ上に、シート状の異方性導電膜を張りつけ、ボンディングツールを使用することにより半導体チップ上に、隙間なく密着させることができる。ボンディングツールを用いる場合には、例えば、80～100℃、5～10秒間程度、8～12 Kg/cm<sup>2</sup>の圧力で密着させることが好ましい。

【0012】上記異方性導電膜は、公知の外部電極形成ツールで押圧されることにより、所望の形状の凹部をその表面に形成することができる。この際の押圧は、用いる外部電極形成ツールの大きさ、異方性導電膜の厚さ、異方性導電膜を構成する樹脂の種類等により適宜調節することができるが、例えば、180～200℃、20～30秒間程度、1つの凹部あたり50～80 gで行うことが好ましい。

【0013】さらに、本発明においては上記凹部に、外部電極が密着されている。外部電極としては、ハンダボール、又はプラスチックボールにCuメッキした上にハンダを施したボール等を用いることが好ましい。このハンダボールは、略球状で、その大きさは特に限定されるものではなく、形成した凹部の大きさにより適宜選択することができるが、例えば、0.01～1 mm程度の大きさのものが使用される。この外部電極を凹部に密着させる方法としては、凹部よりもやや大きめの直径を有する外部電極を選び、その外部電極を凹部に載置し、200～220℃、2～5分間程度、N<sub>2</sub>雰囲気中で加熱することにより、外部電極の一部が溶解し、凹部の底部に密着することとなる。このように、外部電極が凹部の底部に密着した場合には、外部電極が、凹部の底面に位置する微細導電粒子と直接接触し、さらに、微細導電粒子が下層の金属配線と接続されることとなり、結果として、外部電極と金属配線とが微細導電粒子を介して接続されることとなる。

【作用】本発明の半導体装置によれば、複数の電極パッドを有する半導体チップ上に、所望のパターンで電極パッドに接続した金属配線が形成され、さらに、該金属配線上全面に、微細導電粒子を含んでなる異方性導電膜が積層されており、前記金属配線上の所望の部分の異方性導電膜に凹部が形成され、該凹部に外部電極が密着されて前記金属配線と外部電極とが異方性導電膜中の微細導電粒子を介して接続されて構成されるので、ワイヤボンディングを行うことが不要となる。また、外部電極が任意の位置に形成されているため、電極パッドは半導体チップ周辺部に限定されることなく、任意の位置に形成されることとなる。さらに、半導体チップの表面層のみが、異方性導電膜により被覆されるので、放熱性が良好となるとともに、パッケージ自体が、半導体チップの大きさと同程度であるため、小型化が図られることとなる。

【0014】また、本発明の半導体装置の製造方法によ

れば、(i) 半導体素子が形成された半導体ウェハ上に所望のパターンを有する金属配線を形成し、(ii) さらに、前記金属配線上全面に、微細導電粒子を含んでなる異方性導電膜を積層させ、(iii) 前記異方性導電膜の金属配線上の所望の部分を押圧して、該異方性導電膜に凹部を形成し、(iv) 前記凹部に外部電極を密着させて、該外部電極と前記金属配線とを、異方性導電膜中の微細導電粒子を介して接続させることからなるので、外部電極が任意の位置に形成されることとなり、これに併せて、電極パッドも半導体チップの周辺部に形成する必要がなくなる。また、半導体チップのサイズが、パッケージのサイズと同等に形成することができるため、従来のQFP等のパッケージに封止される半導体チップに比較して、半導体チップのサイズを大きくすることができ、最先端の微細化プロセスを使用することなしに形成することができる。

#### 【0015】

【実施例】本発明の半導体装置及びその製造方法の実施例を、以下に説明する。本発明の半導体装置においては、一般的な半導体素子を形成したウェハ作製工程を完了したウェハを用いて製造する。

#### 【0016】実施例1

まず、図1に示したように、半導体素子が形成されたウェハ1上に、TCP (Tape Carrier Package) やフリップチップ等に使用されるバンプ (突出電極) 形成技術を用いて金属配線を形成する。

【0017】次いで、図2に示したように、A1電極2及びパッシベーション膜3を含むウェハ1全面にスパッタにより、金属膜4を蒸着する。金属膜4は拡散防止用のバリアメタルとしてTi-W (2500Å)、メッキ金属との密着用金属膜としてAu (1000Å) である。この金属膜4上に、フォトリソを塗布し、配線に使用するメッキ部分のフォトリソをフォトリソグラフィ技術により開口して、所望のレジストパターン18を得る。この際、フォトリソとして、15μm程度の厚さを塗布可能なポジレジストを用いる。

【0018】続いて、フォトリソ開口部に電解メッキを施して、15μm程度のメッキ配線5を形成し、金属膜4とメッキ配線5からなる金属配線を形成する。この際用いるメッキ液は、ノンシアン系のAuメッキ液である。その後、図3に示したように、レジストパターン18を除去し、メッキ配線5をマスクとして、Au及びTi-Wの金属膜4をエッチングにてパターンニングする。この際のエッチャントとしては、AuにI<sub>2</sub>+KI、Ti-WにH<sub>2</sub>O<sub>2</sub>を使用する。さらに、メッキ配線5の膜応力の緩和及びパッシベーション膜3との密着性向上を目的として、N<sub>2</sub>雰囲気中、300℃、30～60分間、熱処理を行う。また、メッキ配線5は、後の工程の押圧時において、外部電極下部の素子への衝撃をよわげる緩衝にもなる。

【0019】次いで、図4に示したように、A1電極2から必要とする外部電極までの配線を施したウェハ1をダイシングし、個々の半導体チップ1aに分割する。その後、分割したチップ1a上に異方性導電膜6を張り付ける。この異方性導電膜6は、絶縁性の樹脂中に金属や金属メッキを施した導電性の粒子7を分散させたものである。この異方性導電膜6において用いる樹脂は、熱硬化性タイプのものであり、半導体素子を保護する封止樹脂として用いるので、熱により硬化するエポキシ系の樹脂が好ましい。

【0020】そして、図5に示したように、半導体チップ1aと同じ大きさのボンディングツール16を用いて、異方性導電膜6を押圧し、図6に示したように、半導体チップ1a表面に接着させる。この際の押圧条件は、100℃、5秒間、10Kg/cm<sup>2</sup>にて行う。

【0021】次に、外部電極を形成するため、メッキ配線5と導通の必要な箇所の異方性導電膜6に、図7に示すような外部電極形成ツール17を用いて、1箇所ずつ押圧する。この際の押圧条件は、180℃、20秒間、50～80g/外部電極にて行う。押圧した外部電極形成部分は、図8に示したように、すり鉢型の凹みになり、下層のメッキ配線5と異方性導電膜6に含まれる導電粒7により導通される。一方、押圧されていない部分は絶縁状態のままである。

【0022】その後、凹型にへこんだ箇所に、外部電極としてハンダボール8を設置する。ハンダボール8は、ハンダのみ、又はプラスチックボールにCuメッキした上にハンダを施したものを使用する。ハンダボール8を設置した後、図10に示したように、半導体チップ1aを、200℃、2～5分間加熱する。これにより、異方性導電膜6と接触しているハンダボール8の下層部分が溶け、ハンダボール8が、異方性導電膜6の導電粒7と接合することにより、下層のメッキ配線5と接続することとなる。

【0023】このようにして作製した半導体装置は、1.0mmピッチ、直径0.7mmのハンダボールを10行10列で100個のマトリックスとして、100ピンパッケージで形成した場合、パッケージの外形サイズを11mm□程度に収めることが可能となる。例えば、図11に示したように、ハンダボール8の数に応じて、ハンダボール8間に数本の金属膜4及びメッキ配線5の配線層を形成することにより、効率的に配線することができる。

【0024】一方、従来から使用されているQFPにおいては、同様の半導体チップを用い、同様に100ピンパッケージとし、アウターリードを0.5mmピッチとした場合でも、樹脂封止部の外形サイズが14mm□、アウターリードを含めた外形サイズでは16mm□となる。また、BGAにおいては、1.0mmピッチ、直径0.7mmのハンダボールを10行10列で100個の

マトリックスで形成した場合でも、外形サイズは13mm□程度になる。

【0025】従って、他のパッケージよりもピンピッチを大きく取ることができるとともに、パッケージの外形サイズを小型に収めることが可能となる。

#### 【0026】実施例2

実施例1において、電極パッドであるA1電極を、半導体チップの周辺にレイアウトする代わりに、半導体チップの設計段階で、外部電極であるハンダボールを設置する部分にレイアウトして形成する以外、同様の方法により形成した。このように作製された半導体装置においては、図12及び図13に示したように、金属膜4a及びメッキ配線5a等の配線が不要となり、さらに、パッケージサイズの小型化を図ることができる。

#### 【0027】

【発明の効果】本発明の半導体装置によれば、ワイヤボンディングを行うことが不要となり、パッケージサイズを半導体チップサイズを同等に形成することができる。また、外部電極が任意の位置に形成されているため、電極パッドは半導体チップ周辺部に限定されることなく、任意の位置に形成することができ、半導体装置の設計における制約を縮小することができる。さらに、半導体チップの表面層のみが、異方性導電膜により被覆されているので、放熱性を良好とすることができるとともに、パッケージ自体の小型化を実現することができる。

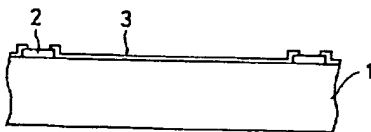
【0028】また、本発明の半導体装置の製造方法によれば、外部電極を、任意の位置に形成することができることとなり、電極パッドも半導体チップの周辺部に形成する必要がなくなる。さらに、半導体チップのサイズを、パッケージのサイズと同等に形成することができるため、従来のQFP等のパッケージに封止される半導体チップに比較して、半導体チップのサイズを大きく形成することができる。従って、微細でない粗いウェハプロセスで半導体チップを製造することができ、ウェハプロセスのコストを抑制することができる。

#### 【0029】

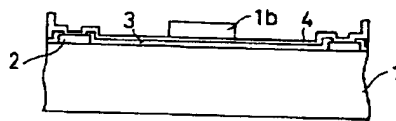
#### 【図面の簡単な説明】

【図1】本発明の半導体装置の第1の製造工程を示す要部の概略断面図である。

【図1】



【図2】



【図2】本発明の半導体装置の第2の製造工程を示す要部の概略断面図である。

【図3】本発明の半導体装置の第3の製造工程を示す要部の概略断面図である。

【図4】本発明の半導体装置の第4の製造工程を示す要部の概略断面図である。

【図5】本発明の半導体装置の第5の製造工程を示す要部の概略断面図である。

【図6】本発明の半導体装置の第6の製造工程を示す要部の概略断面図である。

【図7】本発明の半導体装置の第7の製造工程を示す要部の概略断面図である。

【図8】本発明の半導体装置の第8の製造工程を示す要部の概略断面図である。

【図9】本発明の半導体装置の第9の製造工程を示す要部の概略断面図である。

【図10】本発明の半導体装置の第10の製造工程を示す要部の概略断面図である。

【図11】本発明の半導体装置の要部の概略平面図である。

【図12】本発明の半導体装置の別の実施例を示す要部の概略平面図である。

【図13】図12におけるA-A'線断面図である。

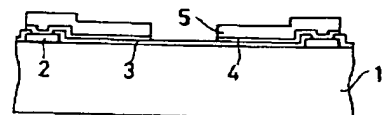
【図14】従来のQFPを示す概略断面図である。

【図15】従来のBAGのパッケージを示す概略断面図である。

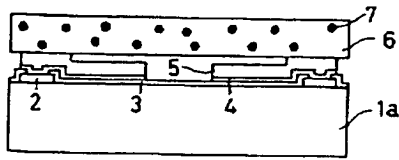
#### 【符号の説明】

- 1 半導体ウェハ
- 1a 半導体チップ
- 2 電極パッド (A1電極)
- 3 パッシベーション膜
- 4 金属膜
- 5 メッキ配線
- 6 異方性導電膜
- 7 微細導電粒子
- 8 外部電極 (ハンダボール)
- 16 ボンディングツール
- 17 外部電極形成ツール

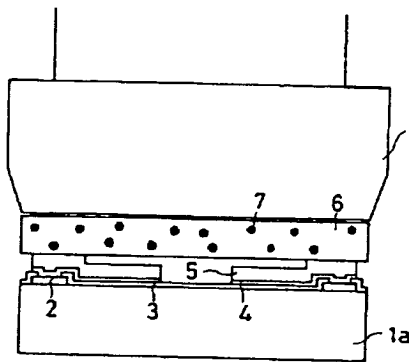
【図3】



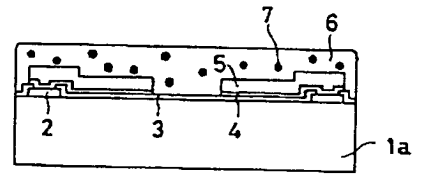
【図4】



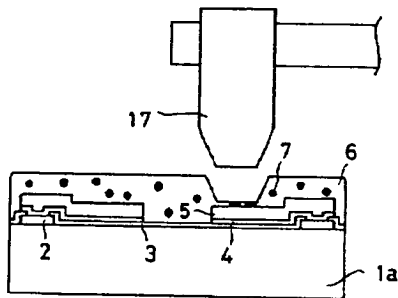
【図5】



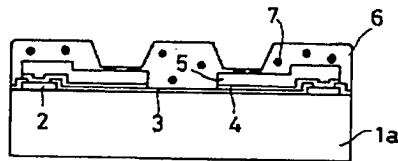
【図6】



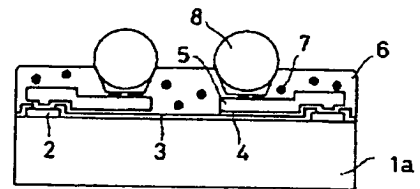
【図7】



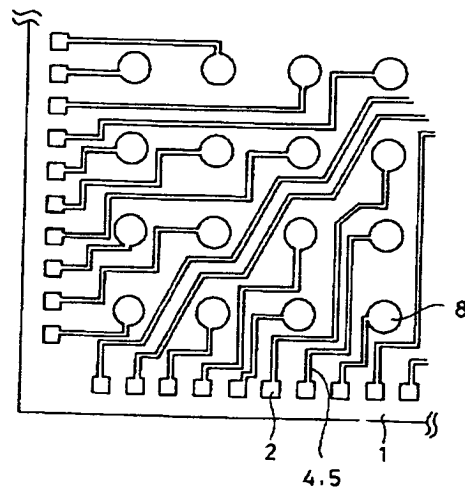
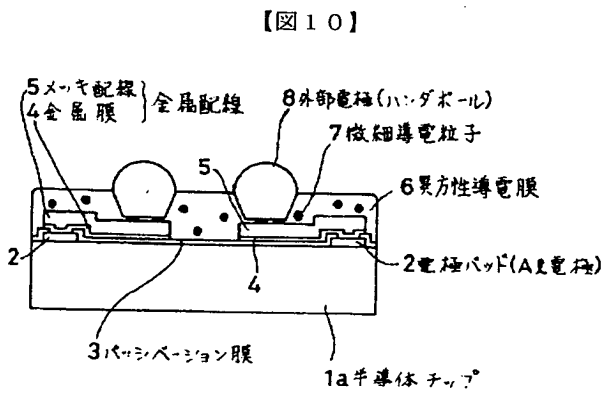
【図8】



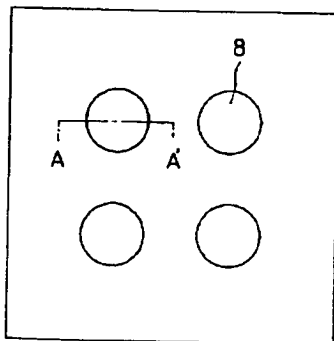
【図9】



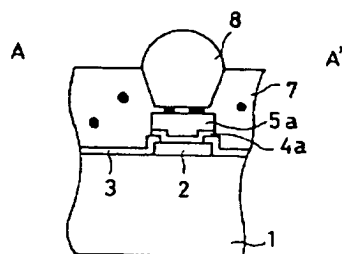
【図11】



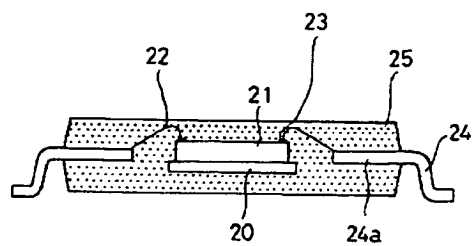
【図12】



【図13】

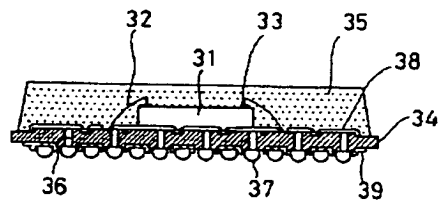


【図14】





【図 1 5】



---

フロントページの続き

(51) Int. Cl. <sup>6</sup>  
H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

9169-4M

H 0 1 L 21/92  
27/04

6 0 4 A  
E